

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-116107
 (43)Date of publication of application : 02.05.1997

(51)Int.Cl.

H01L 27/10
 G11C 11/22
 G11C 14/00
 H01L 27/108
 H01L 21/8242
 H01L 21/8247
 H01L 29/788
 H01L 29/792

(21)Application number : 07-267274

(71)Applicant : SONY CORP

(22)Date of filing : 16.10.1995

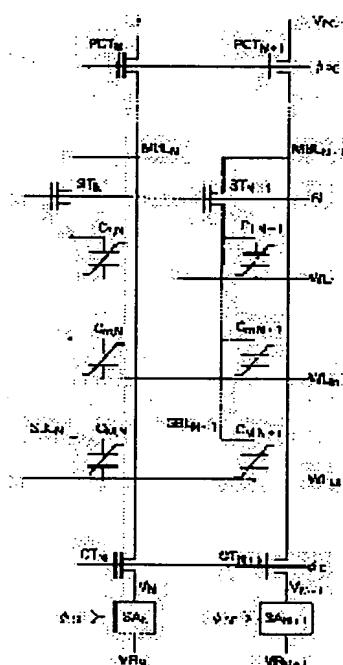
(72)Inventor : ARASE KENSHIROU

(54) FERROELECTRIC STORAGE DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To realize a large-capacity ferroelectric storage device whereinto many memory cells can be integrated each of which comprises only one ferroelectric capacitor.

SOLUTION: Respective main bit lines MBLN, MBLN+1 laid in the form of columns are connected selectively with arbitrary auxiliary bit lines SBLN, SBLN+1 from among a plurality of auxiliary bit lines via selection transistors STN, STN+1. In the grid positions wherein a plurality of word lines WL1-WLM laid in the form of rows intersect the foregoing auxiliary bit lines, memory cells Cm,N, Cm,N+1 comprising ferroelectric capacitors are disposed one by one. Further, one electrode of each foregoing ferroelectric capacitor is connected with each foregoing auxiliary bit line, and the other electrode of each foregoing ferroelectric capacitor is connected with each foregoing word line.



LEGAL STATUS

[Date of request for examination] 28.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2000 Japanese Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-116107

(43)公開日 平成9年(1997)5月2日

(51)Int.Cl.[®]
H 01 L 27/10
G 11 C 11/22
14/00
H 01 L 27/108
21/8242

識別記号 451
府内整理番号

F I
H 01 L 27/10
G 11 C 11/22
11/34
H 01 L 27/10
29/78

技術表示箇所
451
352A
651
371

審査請求 未請求 請求項の数11 OL (全15頁) 最終頁に統く

(21)出願番号 特願平7-267274

(22)出願日 平成7年(1995)10月16日

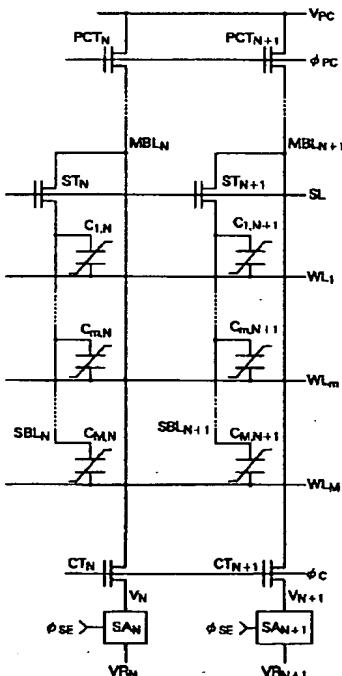
(71)出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
(72)発明者 荒瀬 謙士朗
東京都品川区北品川6丁目7番35号 ソニ
一株式会社内
(74)代理人 弁理士 佐藤 隆久

(54)【発明の名称】 強誘電体記憶装置およびその製造方法

(57)【要約】

【課題】 メモリセルが1個の強誘電体キャパシタだけで構成された大容量かつ高集積可能な強誘電体記憶装置を実現する。

【解決手段】 列状に配線されたそれぞれの主ビット線 MBLN, MBLN+1 が、選択トランジスタ STN, STN+1 を介して、複数の副ビット線の中から任意の副ビット線 SBLN, SBLN+1 に接続され、上記副ビット線と行状に配線された複数のワード線 WL1 ~ WLm が交差する格子位置にそれぞれ1個の強誘電体キャパシタよりなるメモリーセル C1,N ~ C1,N+1 が配置され、上記強誘電体キャパシタの一方の電極が上記副ビット線に、他の方の電極が上記ワード線に他の方の電極が上記ワード線に接続されている。



【特許請求の範囲】

【請求項1】 列状に配線されたそれぞれの主ビット線が接続手段を介して複数の副ビット線に接続され、上記副ビット線と行状に配線された複数のワード線が交差する格子位置にそれぞれ1個の強誘電体キャパシタよりもなるメモリセルが配置され、それぞれの強誘電体キャパシタの一方の電極が上記副ビット線に、他の一方の電極が上記ワード線に接続され、上記強誘電体キャパシタの分極方向によって、互いに逆相の第1のデータまたは第2のデータのどちらかのデータを記憶する強誘電体記憶装置。

【請求項2】 上記接続手段は、MOS型半導体素子であって、当該MOS型半導体素子のソース電極またはドレイン電極の一方が上記主ビット線に、他的一方が上記副ビット線に、ゲート電極が選択ゲート線にそれぞれ接続され、当該選択ゲート線の印加電圧に応じて上記主ビット線と副ビット線とを作動的に接続する請求項1記載の強誘電体記憶装置。

【請求項3】 メモリセルに対する第1のデータの書き込みは、選択するワード線電位よりも選択する副ビット線電位が高くなる方向に電圧を印加して、強誘電体キャパシタを上記印加電界方向に分極させることにより行い、

メモリセルに対する第2のデータの書き込みは、選択するワード線電位よりも選択する副ビット線電位が低くなる方向に電圧を印加して、強誘電体キャパシタを上記印加電界方向に分極させることにより行う請求項1記載の強誘電体記憶装置。

【請求項4】 メモリセルに対するデータの読み出しは、主ビット線を選択する副ビット線に接続し、選択するワード線電圧を変化させて強誘電体キャパシタの分極状態を変化させ、当該強誘電体キャパシタの分極状態の変化に応じた主ビット線電位の変化を検知することによりデータの判定を行う請求項1記載の強誘電体記憶装置。

【請求項5】 上記メモリセルに対するデータの読み出し後に、当該メモリセルに対するデータの再書き込みが行われる請求項1記載の強誘電体記憶装置。

【請求項6】 それぞれの主ビット線に対応して読み出しデータまたは書き込みデータをラッチするラッチ型のセンスアンプを有し、メモリセルに対するデータの書き込みまたは読み出しおよび再書き込みを、選択するワード線に接続されたすべてのメモリセルに対し一括して行う請求項1記載の強誘電体記憶装置。

【請求項7】 選択されたワード線に接続されたすべてのメモリセルに対して一括して第1のデータあるいは第2のデータを書き込んだ後、当該書き込みデータと逆相のデータが書き込まれるべきメモリセルに対して上記逆相データの書き込みを行う請求項1記載の強誘電体記憶装置。

【請求項8】 上記データの書き込みは、選択ゲート線により選択された副ビット線と交差するすべてのワード線を単位として、各ワード線毎に順番に行う請求項1記載の強誘電体記憶装置。

【請求項9】 上記データの読み出しおよび再書き込みは、選択ゲート線により選択された副ビット線と交差するすべてのワード線を単位として、各ワード線毎に順番に行う請求項1記載の強誘電体記憶装置。

【請求項10】 列状に配線されたそれぞれの主ビット線が接続手段を介して複数の副ビット線に接続され、上記副ビット線と行状に配線された複数のワード線が交差する格子位置にそれぞれ1個の強誘電体キャパシタよりもなるメモリセルが配置され、それぞれの強誘電体キャパシタの一方の電極が上記副ビット線に、他の一方の電極が上記ワード線に接続された強誘電体記憶装置の製造方法であって、

各メモリセルの下層キャパシタ電極を上記副ビット線により形成する工程と、

各メモリセルの強誘電体キャパシタ絶縁膜を形成する工程と、

20 各メモリセル每の上層キャパシタ電極を形成する工程と、

上記ワード線が各メモリセル毎に上記上層キャパシタ電極に接続されるように上記ワード線を形成する工程と、上記主ビット線を形成する工程とを有する強誘電体記憶装置の製造方法。

【請求項11】 上記下層キャパシタ電極は第1層目のプラチナまたは酸化物系セラミックス材料により形成され、

30 上記強誘電体キャパシタ絶縁膜はペロブスカイト構造をなす酸化物強誘電体材料またはBi系層状ペロブスカイト構造をなす酸化物強誘電体材料により形成され、

上記上層キャパシタ電極は第2層目のプラチナまたは酸化物系セラミックス材料により形成され、
上記ワード線は第1層目のアルミニウムまたはその合金あるいは複合膜により形成され、

上記主ビット線は第2層目のアルミニウムまたはその合金あるいは複合膜により形成される請求項10記載の強誘電体記憶装置の製造方法。

40 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、メモリセルを基本的に1個の強誘電体キャパシタより構成することにより高集積かつ大容量化が可能な強誘電体記憶装置に係り、特にそのデバイス構造、デバイス動作オペレーション、および製造方法に関するものである。

【0002】

【従来の技術】 ペロブスカイト構造をなす酸化物強誘電体材料（例えばPbZrTiO₃等）、またはBi系層

50 状ペロブスカイト構造をなす酸化物強誘電体材料（例え

ば $B_2Si_2Ta_2O_9$ 等)を、キャパシタ絶縁膜として強誘電体キャパシタを構成し、当該強誘電体キャパシタの分極方向によって、データを記憶する強誘電体記憶装置が知られている。

【0003】以下、強誘電体キャパシタのヒステリシス特性について図12に関連付けて説明する。図12において、(a)がヒステリシス特性、(b)および(c)は互いに逆相の第1のデータ(以下データ1)、および第2のデータ(以下データ0)が書き込まれたキャパシタの状態をそれぞれ示している。

【0004】強誘電体記憶装置は、図12(a)に示すヒステリシス特性において、強誘電体キャパシタにプラス側の電圧を印加(図中C)して $+Q_r$ の残留分極電荷が残った状態(図中A)をデータ1(第1のデータ)、マイナス側の電圧を印加(図中D)して $-Q_r$ の残留分極電荷が残った状態(図中B)をデータ0(第2データ)として、不揮発性のメモリとして利用する。

【0005】ところで、上述した強誘電体キャパシタを、不揮発性の強誘電体記憶装置として利用するものとして、1個の選択トランジスタと1個の強誘電体キャパシタから1メモリセルを構成する方法(以下1TR-1CAP型セル)が知られている。

【0006】図13は、1TR-1CAP型セルを有する強誘電体記憶装置のメモリアレイ図である。

【0007】図13のメモリアレイは、いわゆる折り返しビット線構造をなしており、図中、MA、MA'はメモリセル、MRA、MRA'は比較セル、WLA、WLA'はワード線、BLA、BLA'はビット線、PLAはプレート電極線、RWLA、RWLA'は比較セルを駆動するためのワード線、RPLAは比較セルを駆動するためのプレート電極線、CLは各ビット線BLA、BLA'の負荷容量をそれぞれ示している。メモリセルMAは選択トランジスタTAおよび強誘電体キャパシタCAにより構成され、メモリセルMA'は選択トランジスタTA'および強誘電体キャパシタCA'により構成される。比較セルMRA、MRA'は、メモリセルMA、MA'のデータを比較読み出しるために設けられ、比較セルMRAの場合には選択トランジスタTRAおよび強誘電体キャパシタCRAにより構成され、比較セルMRA'の場合には選択トランジスタTRA'および強誘電体キャパシタCRA'により構成される。

【0008】図13の1TR-1CAP型セルを有する強誘電体記憶装置においては、例えば、メモリセルMAのデータ読み出しあは、読み出しビット線BLAの折り返し方向に隣接した比較ビット線BLA'に接続された比較セルMRA'との比較により行われ、メモリセルMA'のデータ読み出しあは、読み出しビット線BLA'の折り返し方向に隣接した比較ビット線BLAに接続された比較セルMRAとの比較により行われる。また比較セルMRA、MRA'においては、それぞれ図12(a)

のヒステリシス特性において、 $+Q_r$ または $-Q_r$ の残留分極電荷が読み出される場合の中間状態になるよう、例えばキャパシタ面積またはバイアス電圧等を調節して、最適設計される。したがって、1TR-1CAP型セルにおいては、読み出しセルによる読み出しビット線と比較セルによる比較ビット線の間の電位差が、センサアンプSAにより増幅されて、データの判定がなされる。

【0009】

10 【発明が解決しようとする課題】ところで、上述した1TR-1CAP型セルを有する強誘電体記憶装置においては、メモリセルが1個の選択トランジスタと1個の強誘電体キャパシタから構成されているために、データ書き込み時のディスクエア防止、およびデータ読み出し時の動作マージンの確保が容易であるが、メモリセルが1個の素子から構成される他の不揮発性記憶装置、たとえばフラッシュメモリ、EPROM等と比較すると、メモリセル面積が大きくなり、大容量化できないという問題がある。

20 【0010】本発明は、かかる事情に鑑みてなされたものであり、その目的は、強誘電体キャパシタの分極方向によってデータの記憶を行う強誘電体記憶装置において、メモリセルを基本的に1個の強誘電体キャパシタだけで構成することにより、高集積かつ大容量化が可能な強誘電体記憶装置を提供することにある。

【0011】

【課題を解決するための手段】上記目的を達成するため、本発明の強誘電体記憶装置は、列状に配線されたそれぞれの主ビット線が接続手段を介して複数の副ビット線に接続され、上記副ビット線と行状に配線された複数のワード線が交差する格子位置にそれぞれ1個の強誘電体キャパシタより成るメモリセルが配置され、それぞれの強誘電体キャパシタの一方の電極が上記副ビット線に他の一方の電極が上記ワード線に接続され、上記誘電体キャパシタの分極方向によって、互いに逆相の第1のデータまたは第2のデータのどちらかのデータを記憶する。

【0012】また、上記強誘電体記憶装置において、上記接続手段は、MOS型半導体素子であって、当該MOS型半導体素子のソース電極またはドレイン電極の一方が上記主ビット線に、他の方が上記副ビット線に、ゲート電極が選択ゲート線に接続され、当該選択ゲート線の印加電圧に応じて上記主ビット線と副ビット線とを作動的に接続する。

【0013】また、上記強誘電体記憶装置は、メモリセルに対する第1のデータの書き込みは、選択するワード線電位よりも選択する副ビット線電位が高くなる方向に電圧印加して、強誘電体キャパシタを上記印加電界方向に分極させることにより行い、またメモリセルに対する第2のデータの書き込みは、選択するワード線電位より

も選択する副ビット線電位が低くなる方向に電圧を印加して、強誘電体キャパシタを上記印加電界方向に分極させることにより行う。

【0014】また、上記強誘電体記憶装置は、メモリセルに対するデータの読み出しへは、主ビット線を選択する副ビット線に接続し、選択するワード線電圧を変化させて強誘電体キャパシタの分極状態を変化させ、当該強誘電体キャパシタの分極状態の変化に応じた主ビット線電位の変化を検知することによりデータの判定を行う。

【0015】また、上記強誘電体記憶装置は、上記メモリセルに対するデータの読み出し後に、当該メモリセルに対するデータの再書き込みを行う。

【0016】また、上記強誘電体記憶装置は、それぞれの主ビット線に対応してラッチ型のセンスアンプを有し、当該センスアンプに読み出しだデータまたは書き込みデータをラッチすることにより、メモリセルに対するデータの書き込みまたは読み出しおよび再書き込みが、選択するワード線に接続されたすべてのメモリセル一括に行われる。

【0017】また、上記強誘電体記憶装置において、上記データの書き込みは、選択されたワード線に連なるすべてのメモリセルに対して一括に第1のデータあるいは第2のデータを書き込む消去ステップと、上記消去ステップの後に、上記消去データと逆相のデータが書き込まれるべきメモリセルに対して上記逆相データの書き込みを行う書き込みステップよりなる。

【0018】また、上記強誘電体記憶装置において、上記データの書き込みは、選択ゲート線により選択された副ビット線と交差するすべてのワード線を単位として、各ワード線毎に順番に行われる。

【0019】また、上記強誘電体記憶装置において、上記データの読み出しおよび再書き込みは、選択ゲート線により選択された副ビット線と交差するすべてのワード線を単位として、各ワード線毎に順番に行われる。

【0020】また、本発明の強誘電体記憶装置の製造方法は、各メモリセルの下層キャパシタ電極を上記副ビット線により形成する工程と、各メモリセルの強誘電体キャパシタ絶縁膜を形成する工程と、各メモリセル毎の上層キャパシタ電極を形成する工程と、上記ワード線が各メモリセル毎に上記上層キャパシタ電極に接続されるよう上記ワード線を形成する工程と、上記主ビット線を形成する工程とを有する。

【0021】また、上記製造方法において、上記下層キャパシタ電極（上記副ビット線）は第1層目のプラチナまたは酸化物系セラミックス材料により形成され、上記強誘電体キャパシタ絶縁膜はペロブスカイト構造をなす酸化物強誘電体材料またはBi系層状ペロブスカイト構造をなす酸化物強誘電体材料により形成され、上記上層キャパシタ電極は第2層目のプラチナまたは酸化物系セラミックス材料により形成され、上記ワード線は第1層

目のアルミニウムまたはその合金あるいは複合膜により形成され、上記主ビット線は第2層目のアルミニウムまたはその合金あるいは複合膜により形成される。

【0022】本発明の強誘電体記憶装置によれば、メモリセルが基本的に1個の強誘電体キャパシタだけで構成されるため、メモリセル面積が小さくなり、高集積化が可能となり、大容量化に好適である。

【0023】さらに、ビット線（主ビット線）が複数の副ビット線に分割され、上記副ビット線と行状に配線された複数のワード線が交差する格子位置にメモリセルが配置されるため、データ書き込み時およびデータ読み出し時にビット線（主ビット線）に連なるメモリセル個数が分割され、データ書き込み時のディスタンスが軽減され、またデータ読み出し時のマージンの確保が容易となる。

- 10 【0024】また、上記主ビット線と副ビット線との接続制御は、選択ゲート線の印加電圧に応じて上記主ビット線と副ビット線とを作動的に接続されることにより可能である。

- 20 【0025】また、メモリセルに対する第1のデータの書き込みは、選択するワード線電位よりも選択する副ビット線電位が高くなる方向に電圧を印加して、強誘電体キャパシタを上記印加電界方向に分極させることにより行い、またメモリセルに対する第2のデータの書き込みは、選択するワード線電位よりも選択する副ビット線電位が低くなる方向に電圧を印加して、強誘電体キャパシタを上記印加電界方向に分極させることにより可能である。

- 30 【0026】また、メモリセルに対するデータの読み出しへは、主ビット線を選択する副ビット線に接続し、選択するワード線電圧を変化させて強誘電体キャパシタの分極状態を変化させ、当該強誘電体キャパシタの分極状態の変化に応じた主ビット線電位の変化を検知することにより、データの判定を行うことが可能である。

- 【0027】また、上記メモリセルに対するデータの読み出し後に、当該メモリセルに対するデータの再書き込みを行うことにより、データの読み出し時にメモリセル内のデータ内容が破壊されても、データの回復が可能となる。

- 40 【0028】また、それぞれの主ビット線に対応してラッチ型のセンスアンプを有し、当該センスアンプに読み出しだデータまたは書き込みデータをラッチすることにより、メモリセルに対するデータの書き込みまたは読み出しおよび再書き込みが、選択するワード線に接続されたすべてのメモリセル一括に行われるため、データの高速書き込みおよび高速読み出しが可能となり好適である。

- 【0029】また、上記データの書き込みは、選択されたワード線に連なるすべてのメモリセルに対して一括に第1のデータあるいは第2のデータを書き込む消去ステップと、上記消去ステップの後に、上記消去データと逆

相のデータが書き込まれるべきメモリセルに対して上記逆相データの書き込みを行う書き込みステップより構成することにより、データ書き込み時に、非選択メモリセルに印加されるディスターープ電圧を軽減することが可能である。

【0030】また、上記データの書き込みは、選択ゲート線により選択された副ビット線と交差するすべてのワード線を単位として、各ワード線毎に順番に行うことにより、データ書き込み時に、非選択メモリセルに加わるディスターープ回数を制限することが可能である。

【0031】また、上記データの読み出しおよび再書き込みは、選択ゲート線により選択された副ビット線と交差するすべてのワード線を単位として、各ワード線毎に順番に行うことにより、データ再書き込み時に、非選択メモリセルに加わるディスターープ回数を制限することが可能である。

【0032】また、本発明の強誘電体記憶装置の製造方法によれば、各メモリセルの下層キャパシタ電極が副ビット線により形成され、次いで、各メモリセルの強誘電体キャパシタ絶縁膜が形成される。そして、各メモリセル毎の上層キャパシタ電極が形成され、ワード線が各メモリセル毎に上層キャパシタ電極に接続されるように上記ワード線が形成され、次いで主ビット線が形成される。

【0033】より具体的には、たとえば、上記下層キャパシタ電極（上記副ビット線）は第1層目のプラチナまたは酸化物系セラミックス材料により形成され、上記強誘電体キャパシタ絶縁膜はペロブスカイト構造をなす酸化物強誘電体材料またはB_i系層状ペロブスカイト構造をなす酸化物強誘電体材料により形成され、上記上層キャパシタ電極は第2層目のプラチナまたは酸化物系セラミックス材料により形成され、上記ワード線は第1層目のアルミニウムまたはその合金あるいは複合膜により形成され、上記主ビット線は第2層目のアルミニウムまたはその合金あるいは複合膜により形成される。

【0034】

【発明の実施の形態】図1は、本発明に係る強誘電体記憶装置におけるメモリアレイを示す図である。

【0035】図1のメモリアレイにおいては、図中の2本の主ビット線MBLN、MBLN+1に対して、それぞれ1本の副ビット線SBLN、SBLN+1しか図示されていないが、これは便宜的なためであり、実際には、それぞれの主ビット線に対して複数の副ビット線が接続されている。また、副ビット線に交差するワード線本数は、図中M本となっているが、具体的には4本、あるいは8本、あるいは16本程度が適当である。

【0036】図1のメモリアレイにおいて、WL1、WLm、WLMはワード線、MBLN、MBLN+1は主ビット線、SBLN、SBLN+1は副ビット線、STN、STN+1は主ビット線と副ビット線を動作に応

じて作動的に接続する選択トランジスタをそれぞれ示し、選択トランジスタSTN、STN+1は、選択ゲート線SLにより制御される。各ワード線WL1、WLm、WLMと各副ビット線SBLN、SBLN+1との交差点には、それぞれメモリセルをなす1個の強誘電体キャパシタC1,N、Cm,N、CM,N、C1,N+1、Cm,N+1、CM,N+1が、それぞれ一方の電極が対応する副ビット線に、他方の電極が対応するワード線に接続されている。

- 10 【0037】また、トランジスタPCTN、PCTN+1は、プリチャージ信号φPCにより、主ビット線MBLN、MBLN+1をプリチャージ電圧VPCにプリチャージするためのトランジスタであり、トランジスタCTN、CTN+1は、カラム選択信号φCにより、主ビット線MBLN、MBLN+1をそれぞれのセンスアンプに接続するためのトランジスタである。センスアンプSAN、SAN+1は、それぞれ主ビット線MBLN、MBLN+1に接続されたセンスアンプであり、センスイネーブル信号φSEで活性化されセンスアンプSAN20は、ノード電位VNおよび比較電位VRN間の電位差をセンスし、センスアンプSAN+1は、ノード電位VN+1および比較電位VRN+1間の電位差をセンスする。

【0038】図2は、図1のメモリアレイ図におけるパターンレイアウト図である。また、図3は、図2のパターンレイアウト図において、A-A'方向から眺めたデバイス構造断面図である。

- 【0039】図2のパターンレイアウト図、および図3デバイス構造断面図において、1はシリコン基板、2は30 LOCOS素子分離、3はゲート酸化膜、4は選択トランジスタSTN、STN+1のソース／ドレインn+拡散層領域である。5は選択ゲート線SLであり、通常のポリシリコンあるいはポリサイドゲート電極である。6は副ビット線SBLN、SBLN+1であり、また強誘電体キャパシタ下部電極でもあり、具体的には第1層目のプラチナ層で形成される。7は強誘電体キャパシタ絶縁膜であり、具体的にはヒステリシス特性を有する強誘電体材料、たとえばPbZrTiO₃、BiSr₂Ta₂O₉等により形成される。8は各強誘電体キャパシタC1,N、Cm,N、CM,N、C1,N+1、Cm,N+1、CM,N+1の上部電極であり、具体的には第2層目のプラチナ層で形成される。9は第1層目アルミニウム配線下の層間絶縁膜であり、通常のCVDシリコン酸化膜である。

- 40 【0040】10a、10b、10c、10dは第1層目アルミニウム配線下のコンタクトホールであり、それぞれ、コンタクトホール10aおよび10dは第1層目アルミニウム配線とN+拡散層領域とを、コンタクトホール10bは第1層目アルミニウム配線と第1層目のプラチナ層とを、コンタクトホール10cは第1層目アルミニウム配線と第2層目のプラチナ層とを接続するため

のものである。11a、11b、11cは第1層目アルミニウム配線であり、第1層目アルミニウム配線11aは副ビット線のブリッジ配線を、第1層目アルミニウム配線11bはワード線WL1、WLm、WLMを、第1層目アルミニウム配線11cは第2層目アルミニウム配線とn+拡散層領域を接続するためのパッドアルミニウム層を構成する。12は第2層目アルミニウム配線下の層間絶縁膜であり、通常のCVDシリコン酸化膜である。13は第2層目アルミニウム配線下のコンタクトホールであり、第2層目アルミニウム配線と第1層目アルミニウム配線とを接続する。14は第2層目アルミニウム配線であり、主ビット線MBLN、MBLN+1を構成する。

【0041】次に、図1のメモリアレイ図において、メモリセルに対するデータ書き込みを行う場合の第1の実施形態を、図4のタイミングチャート図、および図6のヒステリシス特性を参照しながら、順に説明する。

【0042】図4のタイミングチャート図は、ワード線WLmおよび副ビット線SBLN、SBLN+1を選択して、強誘電体キャパシタ(メモリセル)C_{m,N}に第1のデータ(以下1データ)を、C_{m,N+1}に第2のデータ(以下0データ)を書き込む場合のタイミング図である。この場合、メモリセルに対する1データの書き込みは、選択するワード線電位よりも選択する副ビット線電位が高くなる方向に電圧を印加して、強誘電体キャパシタを上記印加電界方向に分極させることにより行う。また、メモリセルに対する0データの書き込みは、選択するワード線電位よりも選択する副ビット線電位が低くなる方向に電圧を印加して、強誘電体キャパシタを上記印加電界方向に分極させることにより行う。

【0043】まず、時刻t1で、メモリセルC_{m,N}が接続された主ビット線MBLNを電源電圧VCC(3.3V)に、メモリセルC_{m,N+1}が接続された主ビット線MBLN+1を接地電圧(0V)に設定する。

【0044】次に、時刻t2で、選択ゲート線SLを0Vから5Vに、メモリセルC_{m,N}、C_{m,N+1}が接続された選択ワード線WLmを電源電圧VCC(3.3V)に、WLm以外の非選択のワード線WL1～WLMを(1/2)VCC(1.65V)に設定する。その結果、0データを書き込むべきメモリセルの強誘電体キャパシタC_{m,N+1}が、図6に示すヒステリシス特性において、D点の状態に時刻t3までに移動し、0データの書き込みが完了する。

【0045】次に、時刻t3で、選択ワード線WLmを接地電圧(0V)に立ち下げる。その結果、1データを書き込むべきメモリセルの強誘電体キャパシタC_{m,N}が、図6に示すヒステリシス特性においてC点の状態に時刻t4までに移動し、1データの書き込みが完了する。最後に時刻t4で、すべての主ビット線MBLN、MBLN+1を0Vに立ち下げた後に、選択ゲート線S

L、すべてのワード線WL1～WLMを接地電圧(0V)に立ち下げるにより、書き込み動作が終了する。

【0046】なお、データ書き込み期間中、WLm以外の非選択のワード線WL1～WLMは(1/2)VCC(1.65V)に設定されるが、その結果、選択された副ビット線に接続された強誘電体キャパシタC_{m,N}、C_{m,N+1}以外の非選択のメモリセルには、(1/2)VCC(1.65V)のディスターブ電圧が印加されることになる。このディスターブ電圧が問題となるのは、非選択メモリセルに記録されているデータ内容と逆データが書き込まれる方向に、上記ディスターブ電圧が加わる場合である。

【0047】たとえば、非選択メモリセルに1データが記録されている場合、ディスターブ電圧が印加される結果、図6に示すヒステリシス特性において、A点からA1点まで強誘電体キャパシタの分極状態が変化する。また、非選択メモリセルに0データが記録されている場合、ディスターブ電圧が印加される結果、図6のヒステリシス特性において、B点からB1点まで強誘電体キャパシタの分極状態が変化する。ただし、非選択メモリセルに対するディスターブは、非選択メモリセルに1データが記録されている場合、A点からA3点まで分極状態が変化しない限り、また、非選択メモリセルに0データが記録されている場合、B点からB3点まで分極状態が変化しない限り、データが反転することなく、問題とならない。

【0048】次に、図1のメモリアレイ図において、メモリセルに対するデータ書き込みを行う場合の第2の実施形態を、図5のタイミングチャート図、および図6のヒステリシス特性を参照しながら、順に説明する。この第2の実施形態の、図4の第1の実施例に対する利点は、データ書き込み時に非選択メモリセルに加わるディスターブ電圧が、(1/2)VCC(1.65V)から(1/3)VCC(1.1V)と軽減できる点にある。

【0049】図5の場合も、図4と同様、ワード線WLmおよび副ビット線SBLN、SBLN+1を選択して、強誘電体キャパシタ(メモリセル)C_{m,N}に1データを、C_{m,N+1}に0データを書き込む場合のタイミング図である。図5の第2の実施形態の場合には、図4の第1の実施形態の場合と異なり、選択されたワード線に接続されたすべてのメモリセルに対して0データ(あるいは1データでもよい)を書き込む消去ステップと、消去ステップの後に、上記消去データと逆相のデータが書き込まれるべきメモリセルに対して上記逆相データの書き込みを行う書き込みステップの、2段階のステップにより、データ書き込み方法が構成される。

【0050】この場合、メモリセルに対するデータ消去(0データの書き込み)は、選択するワード線電位よりも選択する副ビット線電位が低くなる方向に電圧を印加

して、強誘電体キャパシタを上記印加電界方向に分極させることにより行う。また、メモリセルに対する逆相データ（1データ）の書き込みは、選択するワード線電位よりも選択する副ビット線電位が高くなる方向に電圧を印加して、強誘電体キャパシタを上記印加電界方向に分極させることにより行う。

【0051】まず、時刻t1で、すべての主ビット線MBLN、MBLN+1を接地電圧(0V)に設定し、続いて、選択ゲート線SLを0Vから5Vに、選択ワード線WLmを電源電圧VCC(3.3V)にWLm以外のすべての非選択のワード線WL1～WLMを接地電圧(0V)に設定する。その結果、選択ワード線WLmに連なるすべてのメモリセルの強誘電体キャパシタCm,N、Cm,N+1が、図6に示すヒステリシス特性においてD点の状態に時刻t2までに移動し、消去(0データの書き込み)が完了する。

【0052】次に、時刻t2で、選択ゲート線SLおよび選択ワード線WLmを接地電圧(0V)に立ち下げ、続いて、逆相データ（1データ）の書き込みを行うべきメモリセルCm,Nの接続された主ビット線MBLNを電源電圧VCC(3.3V)に、消去データ(0データ)のままでよいメモリセルCm,N+1の接続された主ビット線MBLN+1を(1/3)VCC(1.1V)に設定する。次に、時刻t3で選択ゲート線SLを5Vに、選択ワード線WLmを接地電圧(0V)にWLm以外のすべての非選択のワード線WL1～WLMを(2/3)VCC(2.2V)に設定する。その結果、逆相データ（1データ）を書き込むべきメモリセルの強誘電体キャパシタCm,Nが図6に示すヒステリシス特性においてD点からC点の状態に時刻t4までに移動し、逆相データの書き込みが完了する。最後に時刻t4で、すべての主ビット線MBLN、MBLN+1を(1/3)VCC(1.1V)に設定した後に、選択ゲート線SL、すべてのワード線WL1～WLMを接地電圧(0V)に立ち下げるにより、書き込み動作が終了する。

【0053】なお、逆相データの書き込み期間中、WLm以外の非選択のワード線WL1～WLMは(2/3)VCC(2.2V)に設定されるが、その結果、選択された副ビット線に連なるCm,N、Cm,N+1以外の非選択メモリセルには、(1/3)VCC(1.1V)のディスターブ電圧が印加されることになる。このディスターブ電圧が問題となるのは、非選択メモリセルに記録されているデータ内容と逆データが書き込まれる方向に、上記ディスターブ電圧が加わる場合である。

【0054】たとえば、非選択メモリセルに1データが記録されている場合、ディスターブ電圧が印加される結果、図6に示すヒステリシス特性において、A点からA2点まで強誘電体キャパシタの分極状態が変化する。また、非選択メモリセルに0データが記録されている場合、ディスターブ電圧が印加される結果、図6に示すヒ

ステリシス特性において、B点からB2点まで強誘電体キャパシタの分極状態が変化する。ただし、図5の第2の実施形態の場合、図4の第1の実施形態の場合と比較すると、非選択メモリセルに対するディスターブは、大幅に軽減できることが、図6のヒステリシス特性から判る。したがって、非選択メモリセルに1データが記録されている場合、A点からA3点まで、また、非選択メモリセルに0データが記録されている場合、B点からB3点まで分極状態が変化して、データが反転することはありえない。

【0055】なお、図4の第1の実施形態の場合、および図5の第2の実施形態の場合とも、選択するワード線1本に連なるメモリセルに対して一括データ書き込みを行っているが、データ書き込みの単位を、選択ゲート線により選択された副ビット線と交差するすべてのワード線を単位として、各ワード線毎に順番にデータ書き込みを行ってもよい。たとえば、図4の第1の実施形態、および図5の第2の実施形態の場合、データ書き込みを、ワード線WL1～WLMを1単位として、WL1、WL2、…WLMと順番にデータ書き込みを行えばよい。このようなブロック単位のデータ書き込みにより、データ書き込み時に非選択メモリセルが受けるディスターブ回数を、最大限(M-1)回に制限することが可能となり、ディスターブ防止の観点から好適である。

【0056】続いて、図1の、メモリアレイ図における、メモリセルに対するデータの読み出しを行う場合の第1の実施例を、図7のタイミングチャート図、および図9のヒスリシス特性を参照しながら順に説明する。

【0057】図7のタイミングチャート図は、ワード線WLmおよび副ビット線SBLN、SBLN+1を選択して、強誘電体キャパシタ(メモリセル)Cm,Nに記録されている1データ、およびCm,N+1に記録されている0データを読み出し、その後、Cm,Nに1データ、およびCm,N+1に0データの再書き込みを行う場合のタイミング図である。この場合、メモリセルに対するデータの読み出しへは、主ビット線を選択する副ビット線に接続し、選択するワード線電圧を変化させて強誘電体キャパシタの分極状態を変化させ、当該強誘電体キャパシタの分極状態の変化に応じた主ビット線電位の変化を検知することにより、データの判定を行う。また、メモリセルに対するデータの再書き込みは、図4のデータ書き込み方法の第1の実施形態における場合と同様である。

【0058】まず、時刻t1で、プリチャージ信号 ϕP_C を電源電圧VCC(3.3V)に、およびカラム選択信号 ϕC を5Vに立ち上げることにより、時刻t2までに、主ビット線MBLN、MBLN+1をプリチャージ電圧VPC(0V)にプリチャージし、また主ビット線MBLN、MBLN+1をそれぞれのセンサアンプのノードVN、VN+1に接続する。

【0059】次に、時刻t2で、プリチャージ信号 ϕP

Cを0Vに立ち下げて主ビット線MBLN、MBLN+1をフローティング状態した後に、選択ゲート線SLを0Vから5Vに、読み出しメモリセルC_{m,N}、C_{m,N+1}が接続された選択ワード線WLmを0Vから電源電圧VCC(3.3V)に立ち上げる。その結果、選択ワード線WLmに連なるすべてのメモリセルの強誘電体キャパシタC_{m,N}、C_{m,N+1}が、0データが書き込まれた分極*

$$\Delta V(+) = VCC \cdot [C(+)] / [(M-1) \cdot C(-) + C(+) + CBL] \quad \dots (1)$$

$$\Delta V(-) = VCC \cdot [C(-)] / [M \cdot C(-) + CBL] \quad \dots (2)$$

なお、(1)式、(2)式において、C(+)はメモリセルの分極状態が反転する場合の容量であり、C(-)はメモリセルの分極状態が反転しない場合の容量であり、CBLはビット線容量である。また、Mは副ビット線に連なるワード線本数であり、この場合8本とし、電源電圧VCCは3.3Vとする。一般的なメモリセルの場合、C(+) ≈ 500fF、C(-) ≈ 100fF、CBL ≈ 1000fF程度であるので、(1)式、(2)式より、 $\Delta V(+)$ 、 $\Delta V(-)$ は、以下の程度である。

$$\Delta V(+) = 0.75V$$

$$\Delta V(-) = 0.18V$$

【0061】以上のこととは、図9のヒステリシス特性においても、図示して説明できる。つまり、1データが記録されていたメモリセルの強誘電体キャパシタC_{m,N+1}の場合、A点の状態からE点の状態に移動し、0データの分極状態に反転する。そして、副ビット線SBLNに接続されているC_{m,N}以外の非選択メモリセルC_{1,N}～C_{M,N}は、1データが記録されていたメモリセルの場合、A点の状態からG点の状態に移動し、0データが記録されていたメモリセルの場合、B点の状態からI点の状態に移動するが、もとの状態はそのまま保持される。

【0062】また、0データが記録されていたメモリセルの強誘電体キャパシタC_{m,N+1}の場合、B点の状態からF点の状態に移動するが、0データの分極状態は変化しない。そして、副ビット線SBLN+1に接続されているC_{m,N+1}以外の非選択メモリセルC_{1,N+1}～C_{M,N+1}は、1データが記録されていたメモリセルの場合、A点の状態からH点の状態に移動し、0データが記録されていたメモリセルの場合、B点の状態からJ点の状態に移動するが、もとのデータ状態はそのまま保持される。なお、図9に示すヒステリシス特性において、一点鎖線A-Eの直線傾きは、上述した分極状態が反転する場合の容量C(-)を表しており、また、一点鎖線B-Fの直線傾きは、上述した分極状態が反転しない場合の容量C(-)を表している。

【0063】次に時刻t3で、選択ゲート線SLを、次に選択ワード線WLmを0Vに立ち下げ、時刻t4でセンシネーブル信号φSEを電源電圧VCC(3.3V)に立ち上げることにより、それぞれの主ビット線に

*状態に変化する。

【0060】このため、1データが記録されていたメモリセルC_{m,N}は、分極状態が反転し、主ビット線MBLNの電位変化 $\Delta V(+)$ は大きく、次式(1)で表される。また、0データ記録されていたメモリセルのC_{m,N+1}は、分極状態が変化せず、主ビット線MBLN+1の電位変化 $\Delta V(-)$ は小さく、次式(2)で表される。

$$\Delta V(+) = VCC \cdot [C(+)] / [(M-1) \cdot C(-) + C(+) + CBL] \quad \dots (1)$$

$$\Delta V(-) = VCC \cdot [C(-)] / [M \cdot C(-) + CBL] \quad \dots (2)$$

接続されたセンスアップSAN、SAN+1を活性化させる。その結果、センスアップSANは、上述した主ビット線MBLNの電位変化 $\Delta V(+)$ (ノード電位VN)と比較電位VRNとの電位差をセンスし、またセンスアンプSAN+1は、主ビット線MBLN+1の電位変化 $\Delta V(-)$ (ノード電位VN+1)と比較電位VRN+1の電位差をセンスする。

【0064】ここで、それぞれの比較電位VRN、VRN+1のすべてを、予想される主ビット線電位の変化量、 $\Delta V(+) = 0.75V$ 、および $\Delta V(-) = 0.18V$ のよそ中間値VRN～VRN+1=0.46V程度に設定する。その結果、センスアンプSANには、読み出しメモリセルC_{m,N}に記録されていた1データ

20 が、時刻t5までに、センスラッッチされ、主ビット線MBLNの電位は電源電圧VCC(3.3V)に設定され、また、センスアンプSAN+1には、読み出しメモリセルC_{m,N+1}に記録されていた0データが、センスラッッチされ、主ビット線MBLN+1の電位は接地電圧(0V)に設定される。

【0065】さて、時刻t5からは、読み出しメモリセルC_{m,N}、C_{m,N+1}に対するデータの再書き込みにはいる。

【0066】まず、時刻t5で、選択ゲート線SLを0Vから5Vに、メモリセルC_{m,N}、C_{m,N+1}が接続された選択ワード線WLmを電源電圧VCC(3.3V)に、WLm以外のすべての非選択のワード線WL1～WLmを(1/2)VCC(1.65V)に設定する。その結果、0データを書き込むべきメモリセルの強誘電体キャパシタC_{m,N+1}が、図9のヒステリシス特性においてD

40 点の状態に時刻t6までに移動し、0データの再書き込みが完了する。

【0067】次に時刻t6で、選択ワード線WLmを接地電圧(0V)に立ち下げる。その結果、1データを書き込むべきメモリセルの強誘電体キャパシタC_{m,N}が、図9に示すヒステリシス特性においてC点の状態に時刻t7までに移動し、1データの再書き込みが完了する。最後に時刻t7で、カラム選択信号φCを0Vに立ち下げるにより、主ビット線MBLN、MBLN+1をそれぞれのセンスアンプのノードVN、VN+1と切り離した後に、プリチャージ信号φPCを電源電圧VCC

50 離した後に、プリチャージ信号φPCを電源電圧VCC

(3. 3 V) に立ち上げることにより、すべての主ビット線MBLN, MBLN+1 をプリチャージ電圧VPC (0 V) にプリチャージする。その後、選択ゲート線SL、すべてのワード線WL1～WLMを接地電源電圧 (0 V) に立ち下げるにより、書き込み動作が終了する。

【0068】なお、データ再書き込み期間中、WLm以外の非選択のワード線WL1～WLMは(1/2) VCC (1. 65 V) に設定されるが、その結果、選択された副ビット線に連なるCm,N、Cm,N+1 以外の非選択メモリセルには、(1/2) VCC (1. 65 V) のディステーブ電圧が印加されることになる。これは、図4で説明したデータ書き込みの第1の実施形態の場合と、同様である。

【0069】次に、図1のメモリアレイ図において、メモリセルに対するデータの読み出しを行う場合の第2の実施形態を、図8のタイミングチャート図、および図9のヒステリシス特性を参照しながら、順に説明する。この第2の実施形態の、図7の第1の実施形態に対する利点は、データ書き込み時に非選択メモリセルに加わるディステーブ電圧が、(1/2) VCC (1. 65 V) から(1/3) VCC (1. 1 V) に軽減できる点にある。

【0070】図8の場合も、図7の場合と同様、メモリセルCm,N に記録されている1データ、およびCm,N+1 に記録されている0データを読み出し、その後、Cm,N に1データ、およびCm,N+1 に0データの再書き込みを行う場合のタイミング図である。この場合、メモリセルに対するデータの読み出しあは、図7のデータ読み出し方法の第1の実施形態における場合と同様である。また、メモリセルに対するデータの再書き込みは、図5のデータ書き込み方法の第2の実施形態における場合と同様である。

【0071】まず、時刻t1で、プリチャージ信号φPCを電源電圧VCC (3. 3 V) に、およびカラム選択信号φを5 Vに立ち上げることにより、時刻t2までに、主ビット線MBLN, MBLN+1 をプリチャージ電圧VPC (0 V) にプリチャージし、また主ビット線MBLN, MBLN+1 をそれぞれのセンスアンプのノードVN, VN+1 に接続する。

【0072】次に時刻t2で、プリチャージ信号φPCを0 Vに立ち下げて主ビット線MBLN, MBLN+1 をフローティング状態にした後に、選択ゲート線SLを0 Vから5 Vに読み出しメモリセルCm,N、Cm,N+1 が接続された選択ワード線WLmを0 Vから電源電圧VCC (3. 3 V) に立ち上げる。その結果、選択ワード線WLmに連なるすべてのメモリセルの強誘電体キャパシタCm,N、Cm,N+1 が、0データが書き込まれた分極状態に変化する。

【0073】このため、1データが記録されていたメモリセルCm,N は、分極状態が反転し、主ビット線MBLN

Nの電位変化△V (+) は大きく、図7の第1の実施形態で説明したように△V (+) = 0. 75 Vが見込まれる。また、0データ記録されていたメモリセルCm,N+1 は、分極状態が反転せず、主ビット線MBLN+1 の電位変化△V (-) は小さく、図7の第1で実施形態で説明したように、△V (-) = 0. 18 Vが見込まれる。

【0074】以上のこととは、図9に示すヒステリシス特性においても、図示して説明できることは、図7の第1の実施形態の場合と同様である。

10 【0075】次に時刻t3で、選択ゲート線SLを、次に選択ゲート線WLmを0 Vに立ち下げ、時刻t4で、センスイネーブル信号φSEを電源電圧VCC (3. 3 V) に立ち上げることにより、それぞれの主ビット線に接続されたセンスアンプSAN、SAN+1 を活性化させる。その結果、センスアンプSANには、時刻t5までに、1データがセンスラッチされ、主ビット線MBLN の電位は電源電圧VCC (3. 3 V) に設定される。また、センスアンプSAN+1 には、0データがセンスラッチされ、主ビット線MBLN+1 の電位は接地電圧 (0 V) に設定される。

20 【0076】さて、時刻t5からは、読み出しメモリセルCm,N、Cm,N+1 に対するデータの再書き込みにはいる。

【0077】まず、時刻t5で、カラム選択信号φCを0 Vに立ち下げるにより、主ビット線MBLN, MBLN+1 をそれぞれのセンスアンプのノードVN, VN+1 と切り離した後に、プリチャージ信号φPCを電源電圧VCC (3. 3 V) に立ち上げることにより、すべての主ビット線MBLN, MBLN+1 をプリチャージ電圧VPC (0 V) にプリチャージする。続いて、選択ゲート線SLを0 Vから5 Vに、選択ワード線WLmを電源電圧VCC (3. 3 V) に、WLm以外のすべての非選択のワード線WL1～WLMを接地電圧 (0 V) に設定する。その結果、選択ワード線WLmに連なるすべてのメモリセルの強誘電体キャパシタCm,N、Cm,N+1 が図9のヒステリシス特性においてD点の状態に時刻t6までに移動し、消去 (0データの書き込み) が完了する。

【0078】次に、時刻t6で選択ゲート線SL、および選択ワード線WLmを接地電圧 (0 V) に立ち下げる。次に、センスアンプ系の電源を、ハイ側を電源電圧VCC (3. 3 V) のまま、ロー側を接地電圧 (0 V) から(1/3) VCC (1. 1 V) に切り換える。次に、カラム選択信号φCを5 Vに立ち上げて、再度、主ビット線MBLNの電位をセンスアンプSANにより電源電圧VCC (3. 3 V) に、主ビット線MBLN+1 の電位をセンスアンプSAN+1 により(1/3) VCC (1. 1 V) に設定する。次に、時刻t7で選択ゲート線SLを5 Vに、選択ワード線WLmを接地電圧 (0 V) に、WLm以外のすべての非選択のワード線WL1～WLMを

(2/3) VCC (2.2V) に設定する。

【0079】その結果、逆相データ（1データ）を書き込むべきメモリセルC_{m,N}が、図9のヒステリシス特性においてD点からC点の状態に時刻t₈まで移動し、逆相データの再書き込みが完了する。最後に時刻t₈で、カラム選択信号φCを0Vに立ち下げるにより、主ビット線MBLN、MBLN+1をそれぞれのセンサアンプのノードVN、VN+1と切り離した後に、プリチャージ信号φPCを電源電圧VCC (3.3V) に立ち上げることにより、すべての主ビット線MBLN、MBLN+1をプリチャージ電圧VPC ((1/3)VCC (1.1V)) にプリチャージする。その後、選択ゲート線SL、すべてのワード選択WL1～WLMを接地電圧(0V)に立ち下げるにより、再書き込み動作が終了する。

【0080】なお、逆相データの再書き込み期間中、WLm以外の非選択のワード線WL1～WLMは(2/3)VCC (2.2V) に設定されるが、その結果、選択された副ビット線に連なるC_{m,N}、C_{m,N+1}以外の非選択メモリセルには、(1/3)VCC (1.1V) のディスターブ電圧が印加されることになる。これは、図5で説明したデータ書き込みの第2の実施形態と同様であり、図7の第1の実施形態のデータ読み出しの例と比較すると、非選択メモリセルに対するディスターブは、大幅に軽減できる。

【0081】また、図7の第1の実施形態の場合、および図8の第2の実施形態の場合とも、選択するワード線1本に連なるメモリセルに対して一括にデータの読み出しおよび再書き込みを行っているが、データの読み出しおよび再書き込みの単位を、選択ゲート線により選択された副ビット線と交差するすべてのワード線を単位として、各ワード線毎に順番にデータの読み出しおよび再書き込みを行ってよい。たとえば、図7の第1の実施形態、および図8の第2の実施形態の場合、データの読み出しおよび再書き込みをワード線WL1～WLMを1単位として、WL1、WL2…、WLMと順番にデータの読み出しおよび再書き込みを行えばよい。このようなブロック単位のデータの読み出しおよび再書き込みにより、データ再書き込み時に非選択メモリセルが受けるディスターブ回数を、最大限(M-1)回に制限することが可能となり、ディスターブ防止の観点から好適である。

【0082】図10は、図1のメモリアレイ図において、センサアンプSAN、SAN+1の具体的な回路図の例を示す図である。

【0083】図10のセンサアンプにおいては、pチャネルMOS（以下、PMOSといふ）トランジスタTP1、nチャネルMOS（以下、NMOSといふ）トランジスタTN1およびPMOSトランジスタTP2、NMOSトランジスタTN2により構成される相補のイ

ンバータ回路により、ラッチ回路を構成する。また、このラッチ回路は、PMOSトランジスタTP3、NMOSトランジスタTN3が、センシスイネーブル信号φSEをうけて活性化されることにより、ノードN1とN2とのノード間電位差を増幅しラッチする。

【0084】それぞれの主ビット線毎に対応して、図10に示すようなラッチ型センサアンプを有することにより、当該センサアンプに読み出しデータまたは書き込みデータをラッチすることが可能となる。その結果、図14、図5、図7、図8の例で示したように、メモリセルに対応するデータの書き込みまたは読み出しあり再書き込みが、選択するワード線に連なるすべてのメモリセル一括に行うことができる。

【0085】次に、本発明の強誘電体記憶装置を製造するための、プロセスフローの例について説明する。

【0086】図11(a)～図11(e)は、図3のデバイス構造断面図にいたるまでの、プロセスフローを示した図である。

【0087】まず、図11(a)に示すように、シリコン基板上1に、LOCOS素子分離領域2、およびゲート酸化膜3を形成し、ポリシリコンまたはポリサイドゲート電極5を形成した後、イオン注入によりソース/ドレインn+拡散層領域4を形成するまでは、通常のCMOSプロセスと同様である。

【0088】次に、図11(b)に示すように、第1層目のプラチナ層を、たとえばスパッタ法等にて、～200nm程度形成し、さらに、強誘電体薄膜（たとえばPbZrTiO₃、BiSr₂Ta₂O₉等）を、スパッタ法等にて、～200nm程度形成する。次に、上記第3層目のプラチナ層、および強誘電薄膜をRIE法等により、同時にエッチング加工して、強誘電体キャバシタ下部電極6、および強誘電体キャバシタ絶縁膜7を形成する。

【0089】次に、図11(c)に示すように、第2層のプラチナ層を、たとえばスパッタ法等にて、～200nm程度形成し、その後、RIE法等により、エッチング加工し、強誘電体キャバシタ上部電極8を形成する。

【0090】次に、図11(d)に示すように、CVD法により層間絶縁膜(SiO₂膜)9を形成した後に、コンタクトホール10a、10b、10c、10dを形成し、その後、第1層目のアルミニウム層をスパッタ法にて形成し、さらにエッチング加工して、副ビット線のプリッジ配線11a、ワード線11b、パッドアルミニウム層11cを形成する。

【0091】最後に、図11(e)に示すように、CVD法により層間絶縁膜(SiO₂膜)9を形成した後に、コンタクトホール13を形成し、その後、第2層目のアルミニウム層をスパッタ法にて形成し、さらにエッチング加工して、主ビット線14を形成する。以上のプロセスフローの結果、図3のデバイス構造断面図に至

る。

【0092】

【発明の効果】以上説明したように、本発明の強誘電体記憶装置によれば、列状に配線されたそれぞれの主ビット線が接続手段を介して複数の副ビット線に接続され、上記副ビット線と行状に配線された複数のワード線が交差する格子位置にそれぞれ1個の強誘電体キャパシタよりなるメモリセルが配置される。その結果、基本的に1個の強誘電体キャパシタよりなるメモリセルに対して、データの書き込み、および読み出しが可能となり、高集積かつ大容量化が可能な強誘電体記憶装置を提供することができる。

【図面の簡単な説明】

【図1】本発明に係わる強誘電体記憶装置のメモリアレイ示す図である。

【図2】図1のメモリアレイ図におけるパターンレイアウトを示す図である。

【図3】図2のパターンレイアウトにおいて、A-A'方向から眺めたデバイス構造断面を示す図である。

【図4】図1のメモリアレイ図において、データの書き込みを行う第1の実施形態の場合のタイミングチャートを示す図である。

【図5】図1のメモリアレイ図において、データの書き込みを行う第2の実施形態の場合のタイミングチャートを示す図である。

【図6】図4の第1のデータ書き込み実施形態、及図5の第2のデータ書き込み実施形態を説明するための強誘電体キャパシタのヒステリシス特性を示す図である。

【図7】図1のメモリアレイ図において、データの読み出しを行う第1の実施形態の場合のタイミングチャートを示す図である。

【図8】図1のメモリアレイ図において、データの読み出しを行う第2の実施形態の場合のタイミングチャートを示す図である。

【図9】図7の第1のデータ読み出し実施形態、および図8の第2のデータの読み出し実施形態を説明するための強誘電体キャパシタのヒステリシス特性を示す図である。

【図10】センスアンプの具体的な回路を示す図である。

【図11】本発明に係わる強誘電体記憶装置のプロセスフローを示す図である。

【図12】強誘電体キャパシタのヒステリシス特性、お

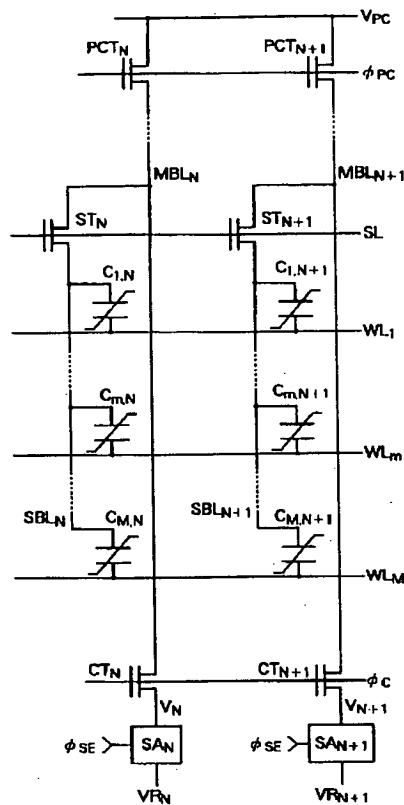
よび互いに逆相の第1のデータ、第2のデータが書き込まれたキャパシタ状態を示す図である。

【図13】1TR-1CAP型セルを有する強誘電体記憶装置のメモリアレイを示す図である。

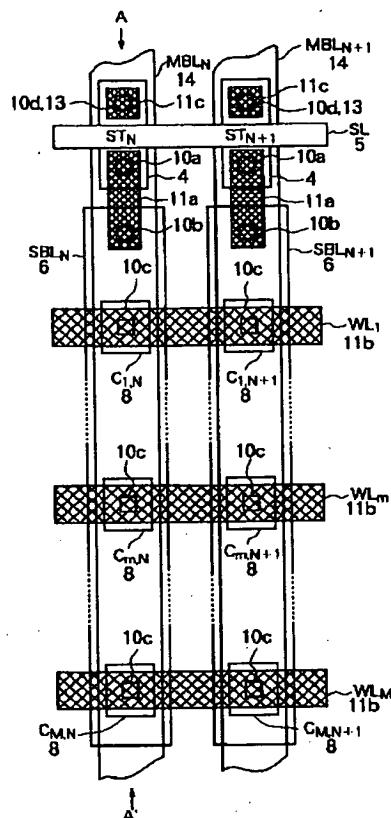
【符号の説明】

WL 1～WLM	…	ワード線
S L	…	選択ゲート線
φ C	…	カラム選択信号
φ PC	…	プリチャージ信号
φ SE	…	センスイネーブル信号
C 1, N～CM, N, C 1, N+1～CM, N+1…		
メモリセル（強誘電体キャパシタ）		
S TN, S TN+1	…	選択トランジスタ
CTN, CTN+1	…	プリチャージ選択トランジスタ
P CTN, P CTN+1	…	カラム選択トランジスタ
SAN, SAN+1	…	センスアンプ
MBLN, MBLN+1	…	主ビット線
S BLN, S BLN+1	…	副ビット線
V PC	…	プリチャージ電圧
VRN, VRN+1	…	比較電位
VN, VN+1	…	ノード電位
1	…	シリコン基板
2	…	LOCOS素子分離
3	…	ゲート酸化膜
4	…	ソース／ドレインn+拡散層領域
5	…	ポリシリコンあるいはポリサイドゲート電極
6	…	強誘電体キャパシタ下部電極
7	…	強誘電体キャパシタ絶縁膜
8	…	強誘電体キャパシタ上部電極
9	…	第1層目アルミニウム配線下の層間絶縁膜
10a, 10b, 10c, 10d…		第1層目アルミニウム配線下のコンタクトホール
11a, 11b, 11c…		第1層目アルミニウム配線
12	…	第2層目アルミニウム配線下の層間絶縁膜
40 13	…	第2層目アルミニウム配線下のコンタクトホール
14	…	第2層目アルミニウム配線

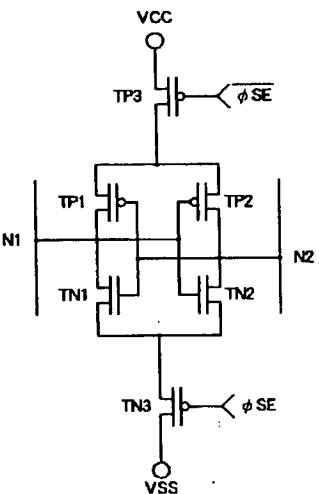
【図1】



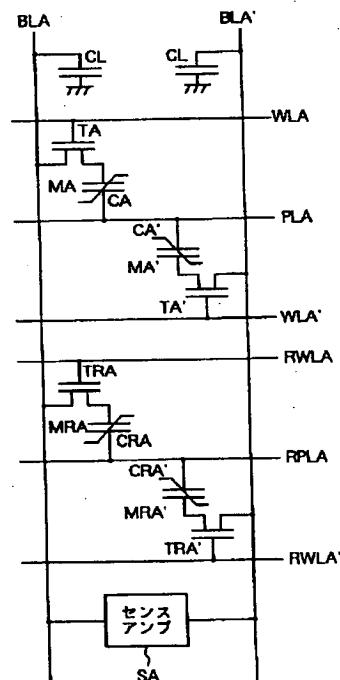
【図2】



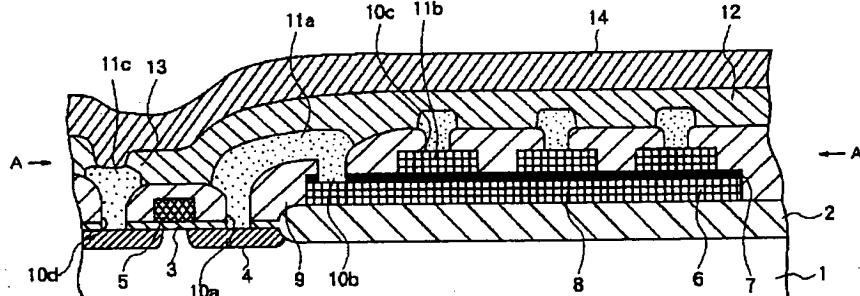
【図10】



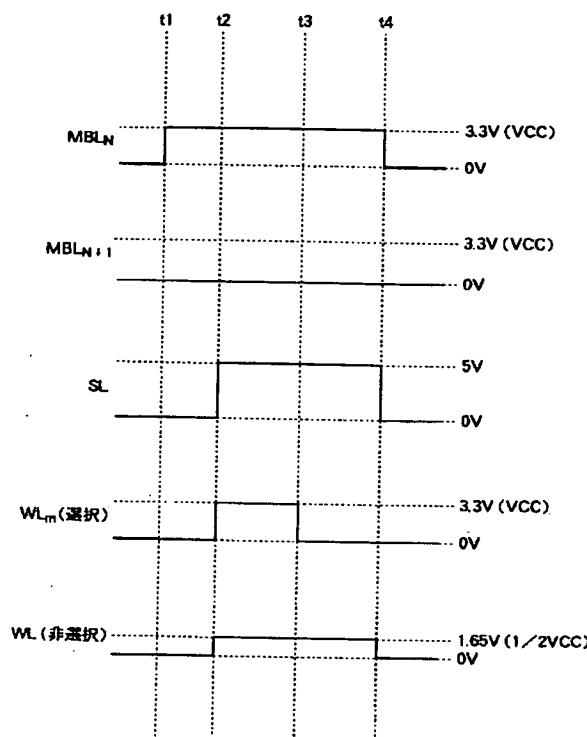
【図13】



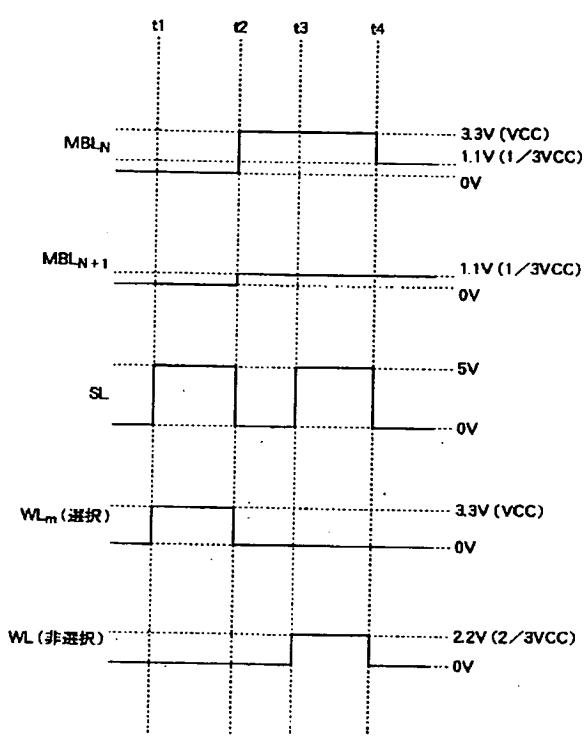
【図3】



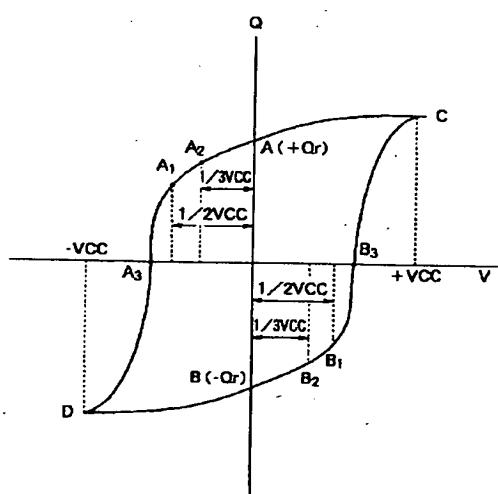
【図4】



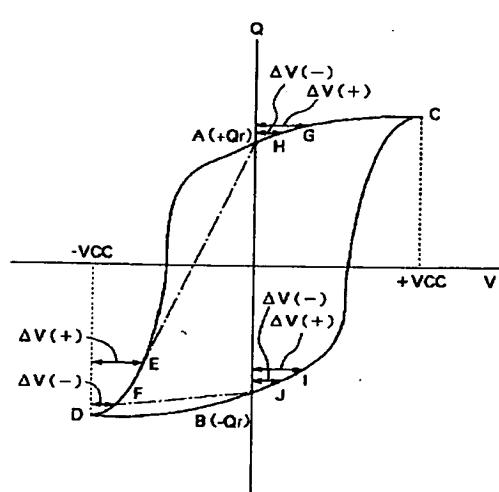
【図5】



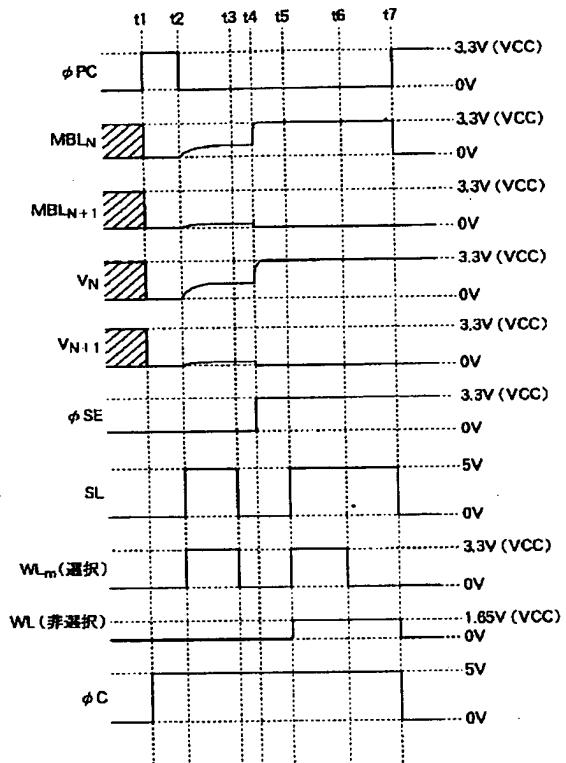
【図6】



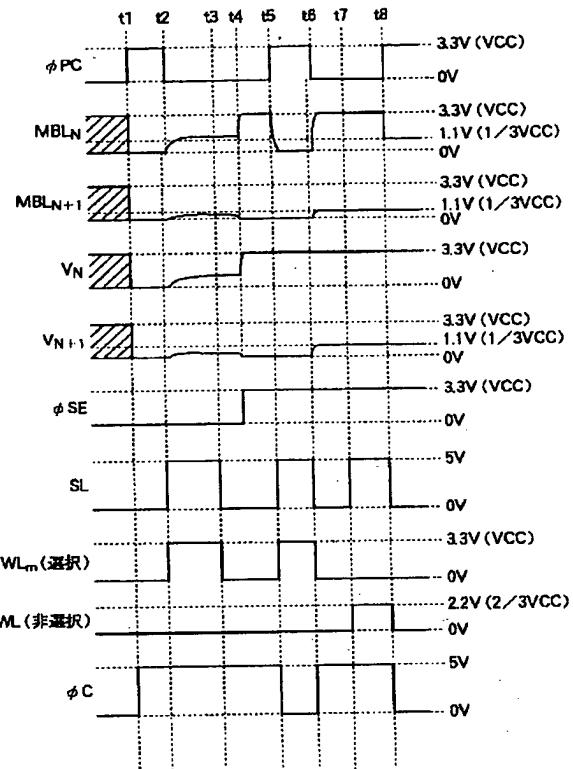
【図9】



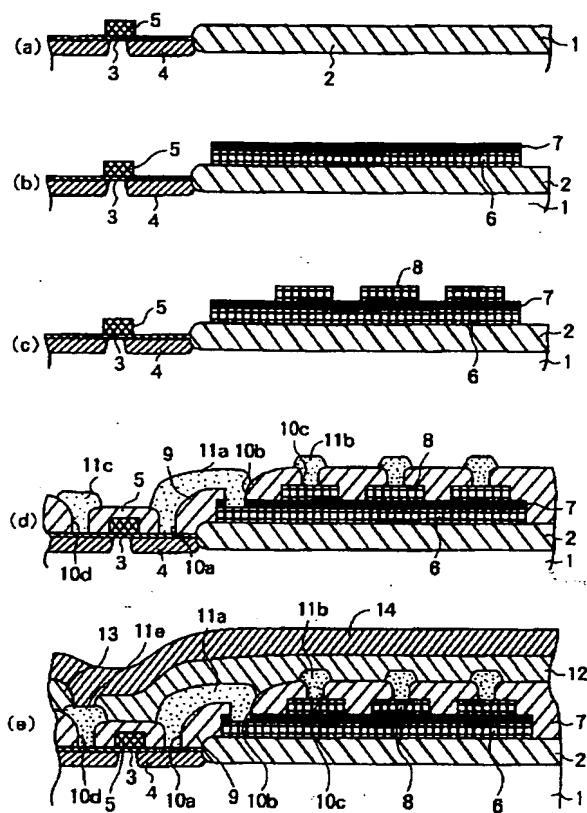
【図 7】



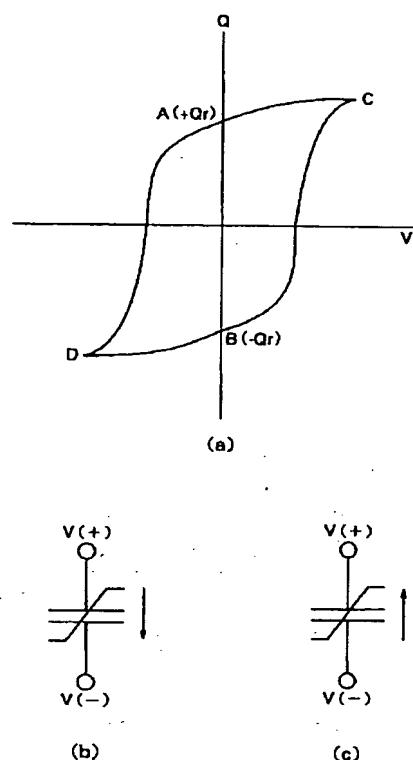
【図 8】



【図11】



【図12】



フロントページの続き

(51) Int. Cl. 6

H 01 L 21/8247
29/788
29/792

識別記号 庁内整理番号

F I

技術表示箇所

THIS PAGE BLANK (USPTO)